

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Requested Patent: JP2003067441A

Title: LAYOUT DENSITY VERIFICATION METHOD AND ITS LAYOUT METHOD ;

Abstracted Patent: JP2003067441 ;

Publication Date: 2003-03-07 ;

Inventor(s): FUKUNAGA TAKESHI ;

Applicant(s): NEC MICROSYSTEMS LTD ;

Application Number: JP20010257866 20010828 ;

Priority Number(s): ;

IPC Classification: G06F17/50; H01L21/82; H01L21/822; H01L27/04 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method capable of effectively eliminating violation of density standard which occurs in a macro block or between macro blocks, omitting correction of each macro block or change of a floor plan, shortening TAT and eliminating problems such as change of a chip size. SOLUTION: By laying a dummy data which has a predetermined rate of data in a macro block to be verified or inside the layout of a chip itself temporarily and adding it to the layout (Step S2) or deducting it from the layout, the present invention forms a dummy layout and performs a data density check (Step S3) against the dummy layout thus formed. It finds a distribution of detailed data rate either before LSI composition or before modification of the layout.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-67441

(P2003-67441A)

(43) 公開日 平成15年3月7日 (2003.3.7)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 6 F 17/50	6 6 6	G 0 6 F 17/50	6 6 6 Z 5 B 0 4 6
H 0 1 L 21/82		H 0 1 L 21/82	C 5 F 0 3 8
21/822		27/04	A 5 F 0 6 4
27/04			

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2001-257866 (P2001-257866)

(22) 出願日 平成13年8月28日 (2001.8.28)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 福永 健

神奈川県川崎市中原区小杉町一丁目403番
53 エヌイーシーマイクロシステム株式会
社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

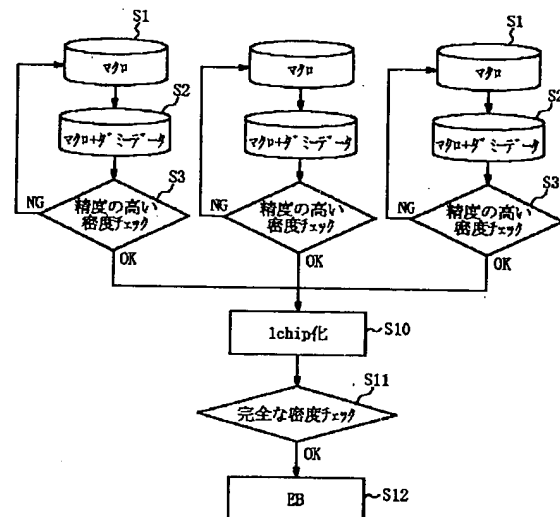
最終頁に続く

(54) 【発明の名称】 レイアウト密度検証方法とそのレイアウト方法

(57) 【要約】

【課題】 マクロブロックやマクロブロック間で発生する密度基準違反を効率よく除去し、各マクロブロックの修正やフロアプランの変更をなくし、TATを短縮し、チップサイズ変更等の問題をなくす。

【解決手段】 検証を行おうとするマクロブロックもしくはチップそのもののレイアウト内部に所定のデータ率を持つ仮想(ダミー)データを、一時的に配置して前記レイアウトに加え(ステップS2)、もしくは前記レイアウトから差し引くことにより、仮想的なレイアウトである仮想レイアウトを形成し、このように作成された仮想レイアウトに対してデータ密度のチェックを行い(ステップS3)、LSI構成前もしくはレイアウト修正前に詳細なデータ率の分布を求める。



【特許請求の範囲】

【請求項1】 検証を行おうとするマクロブロックもしくはチップそのもののレイアウト内部に複数のデータ率を持つ仮想データを、一時的に配置して前記レイアウトに加え、もしくは前記レイアウトから差し引くことにより、仮想的なレイアウトである仮想レイアウトを形成し、このように作成された仮想レイアウトに対して対してデータ密度のチェックを行い、LSI構成前もしくはレイアウト修正前に詳細なデータ率の分布を求めることを特徴とするレイアウト密度検証方法。

【請求項2】 検証を行おうとするマクロブロックもしくはチップそのもののレイアウトの周辺部へ所定のデータ率を持つ仮想データを、一時的に配置して、仮想的なレイアウトの仮想レイアウトを形成し、このように作成した仮想レイアウトに対して対してデータ密度のチェックを行い、LSI構成前もしくはレイアウト修正前に詳細なデータ率の分布を求めることを特徴とするレイアウト密度検証方法。

【請求項3】 1チップを構成する各マクロをそれぞれ区分する第1のステップと、前記各マクロに対して所定データ密度のダミーデータを付加する第2のステップと、これらダミーデータを付加した各マクロについて密度チェックを行う第3のステップと、この密度チェックが適正なデータ密度であるか判定し適正なデータ密度でない時に前記第1のステップに戻り適正なデータ密度となるまで繰返す第4のステップと、この密度チェックが適正な値となった場合に前記各マクロのフロアプランとレイアウトを行い1チップ化する第5のステップと、この1チップについて完全な密度チェックを行い、この密度チェックを判定し適正なデータ密度でない時に前記第1または第5のステップに戻り適正なデータ密度となるまで繰返す第6のステップとを含むことを特徴とするレイアウト密度検証方法。

【請求項4】 第4のステップの後で各マクロのレイアウト周辺部のデータ密度の情報を入手して、第5のステップの1チップ化を実施する請求項3記載のレイアウト密度検証方法。

【請求項5】 第2のステップのダミーデータを付加する代りに、各マクロに付加すべきまたは減らすべき適正なデータ率を入手して各マクロのデータ密度率を確定する請求項3記載のレイアウト密度検証方法。

【請求項6】 第1のステップで各マクロのデータ率が確定していない場合に、そのマクロに仮想データを設定して仮想1チップを作成して密度チェックを行い、前記確定していないマクロのデータが確定した時に、その仮想データを確定データに入替えて検証をする請求項3記載のレイアウト密度検証方法。

【請求項7】 請求項1、2、3、4、5または6記載のレイアウト密度検証方法により検証した詳細なデータ率の分布に従って各マクロブロックもしくはチップのレ

イアウトを実施することを特徴とするレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レイアウト密度検証方法とレイアウト方法に関し、特に適正なレイアウト密度分布となるようにしたレイアウト密度検証方法とレイアウト方法に関する。

【0002】

【従来の技術】近年のLSI製造工程においてウェハーの平坦性が要求されている。このウェハー平坦性は加工材質や異種材質の面積密度比に大きく依存している。このウェハーの平坦性を確保するために、LSIの密度偏りをなくすように全領域を細分化し、細分化した各領域に対して密度測定を行う必要がある。なお、このLSIの密度偏りとは、ウェハー上の拡散層やメタル領域（配線部）の分布密度のことを意味する。例えば、LSI上の10mm×10mmの領域のデータを500μm²の領域に分割を行って、各領域での拡散層やメタル領域のデータの密度偏りの測定を行っている。

【0003】しかし、このような密度チェックを行うには、全レイアウト完了後、1チップLSI（以下LSIという）を形成した後でなくては正確な密度チェックが行えないため、修正が必要な場合には下位階層に対してのレイアウト修正もしくはフロアプランの修正を行う必要があり、戻り工数が発生してTATの増加の原因となっている。

【0004】一般的なLSI設計手法として、特定機能を一塊りとした各機能ブロック（以下マクロブロックという）を個別に形成した後に、階層的にそれらのマクロブロックを配置することによって1つのLSIを形成している。図9はこのLSIレイアウト設計フローにおける密度測定手法のフロー図を示す。

【0005】図9において、1チップを構成する各マクロ（10）をそれぞれ区分し（ステップS1）、ステップS3aで、各マクロ（10）について精度の低い密度チェックを行う。ステップS3aで密度チェックが適正な値でないと、ステップS1に戻り、適正な値となるまで繰返す。各マクロの密度チェックが適正な値となると、ステップS10bで各マクロのフロアプランとレイアウトを行い、1チップ化し、ステップS11で、この1チップについて完全な密度チェックを行い、この密度チェックがOKでなければ、ステップS1、S10bに戻ってこのチェックがOKとなるまで繰返し、密度チェックがOKとなれば、ステップS12でチェック終了となる。

【0006】

【発明が解決しようとする課題】しかし、この従来技術では、LSI構成前のマクロブロックが密度基準領域に対して十分な領域を持たない時に、マクロブロック単体として密度チェックを行う事ができず、LSIを構成す

るまで密度チェックを行う事ができないという第1の問題があった。例えば、密度基準が $500\mu\text{m}\times 500\mu\text{m}$ の領域で70%以下であるとした場合、図10の模式図に示す様に、 $400\mu\text{m}\times 500\mu\text{m}$ のマクロ10bのデータ率が90%であると、このマクロ10bの密度チェックをしても、チェック不能のマクロ10cとなり、その領域にエラーのある1チップ20aとなってしまう。

【0007】また、従来の方法では、図11のように、マクロブロック単体の密度チェックしか行えず、隣接するマクロブロックのデータ率を考慮したチェックを行う事ができず、LSIを構成するまでマクロブロックチェック間の密度チェックを行う事ができないという第2の問題があった。

【0008】すなわち、図11の模式図では、 $750\mu\text{m}\times 1500\mu\text{m}$ で60%のデータ率の領域とこの領域の右側に $250\mu\text{m}\times 1500\mu\text{m}$ で80%のデータ率の領域とがマクロA(10d)と、これと同様のデータ率でこの領域の左側に高いデータ率の領域をもつマクロB(10e)とがあり、これらを1チップ20bに配置した場合、高いデータ率80%の領域が1つのマクロとなってエラーとなった1チップ20cとなってしまう。

【0009】さらに、従来の方法では、マクロブロック等のレイアウト内部で発生した低密度規準違反箇所へのレイアウト修正方法は人手で計算し不足分を追加するよりなかったが、レイアウト形状や密度基準が複雑になれば計算を行うのに膨大な時間がかかるという第3の問題があった。

【0010】また、従来マクロブロック等のレイアウト内部の高密度規準違反箇所へのレイアウト修正方法も人手で計算し過密分を削除していたが、レイアウト形状や密度基準が複雑になれば、この計算を行うのに膨大な時間がかかるという第4の問題があった。

【0011】さらに、従来のフローを見て解るように、LSI全体の密度チェックは各マクロブロックすべてが完成し、配置するまでチェックを行う事ができず、全レイアウトが揃って始めてチェックを行う事ができるようになったために、検証の効率が非常に悪いという第5の問題があった。

【0012】以上の問題により、1チップ構成後に発生するマクロブロックそのものが原因で発生する密度基準違反はもしくは、マクロブロックとマクロブロックデータ分布によってマクロブロック間で発生する密度基準違反は、各マクロブロックの修正もしくはフロアプランの変更を余儀なくされ、TATの増加、チップサイズ変更等の問題を生じている。

【0013】本発明の主な目的は、このようなマクロブロックやマクロブロック間で発生する密度基準違反を効率よく除去し、各マクロブロックの修正やフロアプラン

の変更をなくし、TATを短縮し、チップサイズ変更等の問題をなくしたレイアウト密度検証方法とレイアウト方法を提供することにある。

【0014】

【課題を解決するための手段】本発明のレイアウト密度検証方法の構成は、検証を行おうとするマクロブロックもしくはチップそのもののレイアウト内部もしくは周辺部へ所定のデータ率を持つ仮想データを、一時的に配置して前記レイアウトに加え、もしくは前記レイアウトから差し引くことにより、仮想的なレイアウトである仮想レイアウトを形成し、このように作成された仮想レイアウトに対してデータ密度のチェックを行い、LSI構成前もしくはレイアウト修正前に詳細なデータ率の分布を求めることを特徴とする。

【0015】本発明の他のレイアウト密度検証方法の構成は、検証を行おうとするマクロブロックもしくはチップそのもののレイアウトの周辺部へ所定のデータ率を持つ仮想データを、一時的に配置して、仮想的なレイアウトの仮想レイアウトを形成し、このように作成した仮想レイアウトに対してデータ密度のチェックを行い、LSI構成前もしくはレイアウト修正前に詳細なデータ率の分布を求めることを特徴とする。

【0016】本発明のさらに他のレイアウト密度検証方法の構成は、1チップを構成する各マクロをそれぞれ区分する第1のステップと、前記各マクロに対して所定データ密度のダミーデータを付加する第2のステップと、これらダミーデータを付加した各マクロについて密度チェックを行う第3のステップと、この密度チェックが適正なデータ密度であるか判定し適正なデータ密度でない時に前記第1のステップに戻り適正なデータ密度となるまで繰返す第4のステップと、この密度チェックが適正な値となった場合に前記各マクロのフロアプランとレイアウトを行い1チップ化する第5のステップと、この1チップについて完全な密度チェックを行い、この密度チェックを判定し適正なデータ密度でない時に前記第1または第5のステップに戻り適正なデータ密度となるまで繰返す第6のステップとを含むことを特徴とする。

【0017】本発明において、第4のステップの後で各マクロのレイアウト周辺部のデータ密度の情報を入手して、第5のステップの1チップ化を実施することができ、また、第2のステップのダミーデータを付加する代わりに、各マクロに付加すべきまたは減らすべき適正なデータ率を入手して各マクロのデータ密度率を確定することができ、さらに、第1のステップで各マクロのデータ率が確定していない場合に、そのマクロに仮想データを設定して仮想1チップを作成して密度チェックを行い、前記確定していないマクロのデータが確定した時に、その仮想データを確定データに入替えて検証をすることができる。

【0018】また、本発明のレイアウト方法の構成は、

これら各レイアウト密度検証方法により検証した詳細なデータ率の分布に従って各マクロブロックもしくはチップのレイアウトを実施することを特徴とする。

【0019】

【発明の実施の形態】次に本発明の実施形態を図面により詳細に説明する。図1は本発明の一実施形態を説明するフロー図である。本発明においては、従来例の図9のフローに対して、各マクロに対してダミーデータを付加するステップS2を設けたことを特徴とする。

【0020】すなわち、図1において、各マクロ10を用意し（ステップS1）、ステップS2で、各マクロに対してダミーデータ（仮想データ）を付加する。この状態で、ステップS3の精度の高い密度チェックを実施し、各マクロの密度チェックがOKでなければ、ステップS1に戻り、この各マクロの密度チェックがOKとなるまで繰返し、密度チェックがOKとなれば、ステップS10で、1チップにまとめて1チップ化し、ステップS10で、1チップ全体の密度チェックを行うが、ここでは各マクロの密度チェックがOKとなっているので、そのままステップS12に行き終了となる。

【0021】ここで、図1のフローにおける本発明の基本的考え方を、図2(a)～(c)の模式図により説明する。なお、図1では、マクロブロック単体では密度基準の基準領域を満たさないものに、図2(c)に示すように、仮想データを加える事により、密度チェックを行えるようにしたものであるが、本発明では、図2(a)(b)に示すように、仮想データを加えることも、差し引くような場合も含んでいる。

【0022】図2(a)～(c)において、検証を行おうとするマクロブロックもしくはチップそのもののレイアウト30の内部もしくは周辺部へ複数のデータ率を持つ仮想データ31を、一時的に配置し本来のレイアウトに加える（図2(a)の場合）、もしくは本来のレイアウト30から仮想データ31を差し引く事により（図2(b)の場合）、仮想的なレイアウト（仮想レイアウトという）32、33を形成する。もしくは図2(c)の場合のように、本来のレイアウト30の周囲に仮想データ34を配置して仮想レイアウト35を構成する。

【0023】このようにして作成した仮想レイアウト32、33、35に対して密度チェックを行う事により、1チップLSIの構成前もしくはレイアウト修正前に詳細なデータ率分布を求めることができることを特徴としている。

【0024】なお、図2(c)では、マクロブロック31の周辺に、基準に対して均一と考えられる密度になる様に適当な大きさの仮想データ34をアレイ状に配置して加算することにより、仮想レイアウト35を構成している。また、図1はマクロブロック単体では密度基準の基準領域を満たさないものに、図2(c)に示すように仮想データを加える事により、密度チェックを行えるよ

うにしたものである。このときに、図1に示すように、仮想データのデータ率を変動させ密度チェックを行う事により、マクロブロックの密度規準遵守の可否について検討することができるようになる。

【0025】この検討をもとにフロアプランを行ってLSIを構成する事により、LSI構成後に発覚する密度基準違反をマクロブロック作成時に発見する事ができ、従来では不可能であったLSI構成前の密度基準チェックを行えるようになる。このことにより、図3、図4の模式図に示すように基準違反修正のための戻り工数を削減することができるようになる。

【0026】すなわち、図3においては、 $400\mu\text{m} \times 500\mu\text{m}$ で90%のデータ率の領域のマクロ10に、仮想データとして $100\mu\text{m} \times 500\mu\text{m}$ で0%のデータ率の領域のマクロを付加した合成マクロ11を作り、その密度チェックをすると、 $500\mu\text{m} \times 500\mu\text{m}$ で72%のデータ率の領域のチェックマクロ12が出来ることになるが、これではデータ率が大きすぎてエラーとなる。そこで、レイアウト・フロアプランの修正が必要となり、エラーのない1チップIC20が出来るまで繰返えされる。

【0027】また、図4の模式図においては、 $400\mu\text{m} \times 500\mu\text{m}$ で80%のデータ率の領域のマクロ10aに対して、任意のデータ率をもつダミーデータを基準領域に配置する（ステップS2）。すなわち、仮想データとして $100\mu\text{m} \times 500\mu\text{m}$ で0%のデータ率の領域を付加した合成マクロ11aのデータ率を計算して $500\mu\text{m} \times 500\mu\text{m}$ で64%のデータ率の領域のチェックマクロ12aに、また仮想データとして $100\mu\text{m} \times 500\mu\text{m}$ で10%のデータ率の領域を付加した合成マクロ11bのデータ率を計算して $500\mu\text{m} \times 500\mu\text{m}$ で66%のデータ率の領域のチェックマクロ12bに、仮想データとして $100\mu\text{m} \times 500\mu\text{m}$ で20%のデータ率の領域を付加した合成マクロ11cのデータ率を計算して $500\mu\text{m} \times 500\mu\text{m}$ で68%のデータ率の領域のチェックマクロ12cに、…そして仮想データとして $100\mu\text{m} \times 500\mu\text{m}$ で100%のデータ率の領域を付加したマクロ11nのデータ率を計算して $500\mu\text{m} \times 500\mu\text{m}$ で84%のデータ率の領域のマクロ12nにしたものをそれぞれ用意する。そして、これらの中からデータ率の適正な領域のマクロ12を決定し（ステップS3）、適正な領域のマクロとなった場合に1チップIC20を構成する。

【0028】図5は本発明の第2の実施形態のフロー図である。本実施形態では、各マクロ10の密度チェック（ステップS3）の後に、レイアウト周辺部の適正データ率を入手するステップS4がそれぞれ付加されている。本実施形態は、マクロブロック周辺に、図2(c)に示すように、仮想データを配置し仮想レイアウトを構成し、仮想データのデータ率を必要に応じて変更しなが

ら、仮想レイアウトの密度チェックを行い基準の合否を調べる事により、あらかじめ隣接するマクロブロックの許容できる密度情報を得ることができる事を示している。

【0029】図6は図5の具体例を示す模式図で、 $200\mu\text{m} \times 200\mu\text{m}$ □で60%のデータ率の領域のマクロ10bの外周に、任意のデータ率 x ($x=0, 10, 20\cdots 100$)をもつダミーデータの付加マクロ13を配置する。そして、図のように、マクロ10bの上側にデータ率30~70%のものが配置可能で、下側にデータ率10~40%のものが配置可能で、左にデータ率20~60%、30~60%のものが配置可能で、右にデータ率10~40%、20~60%のものが配置可能である領域のチェックマクロ14があるとする。これらは、マクロ内にデータ密度の疎密があるため、その限度が異っている。その周囲に配置するデータ率を考えて、マクロが適正か否かを決定する(ステップS3)。適正であれば、1チップ20を構成し、適正でなければ、最初のマクロ10bに戻り、その処理を繰返す。

【0030】このように得られた情報を元にフロアプランを行うことにより、適切な密度分布をもつLSI構成が可能となり、LSI構成後に密度基準違反が発生する事がなくなる。これにより第2の問題点を解決することができる。

【0031】図7は本発明の第3の実施形態のフロー図である。本実施形態は、各マクロ10にダミーデータを設けて計算するステップS2の代りに、ステップS3のデータ密度が適正でない時の戻りパスにステップS5を挿入したものである。また、1チップ化のステップ10aの後の密度チェック(ステップS11)で、そのデータ密度が適正でない時の戻りパスにステップS12を挿入したものである。

【0032】このステップS5、S12は、付加すべき、または減らすべき適正なデータ率を入手することにより、計算せずにデータ修正に必要なデータ率を求める処理である。従って、迅速なデータ修正を行うことができる。

【0033】まず、図2(a)は低密度規準違反箇所をもつマクロブロックもしくは1チップそのものの内部へ、密度基準に対して均一と考えられる密度になる様に適当な大きさの仮想データをアレイ状に配置し、たし合せる事により仮想レイアウトを構成する事を示している。

【0034】ここでは仮想データのデータ率を必要に応じて変更しながら、仮想レイアウトの密度チェックを行い基準の合否を調べる事により、図7に示すように、レイアウト内での低密度違反箇所へ配置が必要なデータ率がわかり、低密度規準違反箇所の迅速な修正を行う事ができる。この事により第3の問題点が解決できる。

【0035】また、図2(b)は高密度基準違反をもつ

マクロブロック、または1チップそのものの内部へ、密度基準に対して均一と考えられる密度になる様に適当な大きさの仮想データをアレイ状に配置し本来のデータより仮想データを引く事により、仮想レイアウトを構成したものがある。ここで、仮想データのデータ率を必要に応じて変更しながら、仮想レイアウトの密度チェックを行い基準の合否を調べる事により、図7に示すように、レイアウト内での低密度違反箇所へ配置が必要なデータ率がわかり低密度規準違反箇所の迅速な修正を行う事ができる事を示している。これにより第4の問題点を解決することができる。

【0036】図8は、本発明の第5の実施形態のフロー図であり、入手の遅れているような場合で、マクロブロックが不明のとき、ステップS6として、そのマクロブロックの代りに、適当と思われるデータ率を持つアレイ状に配置された仮想データをもつマクロを、真のマクロブロック領域に配置して、仮想の1チップを作成(ステップS10a)する事により、仮想的にLSIを構成し、仮想密度チェックを行い(ステップS11a)、仮想密度検証を終了させ(ステップS14a)、検証を進めることが出来る。そして、ステップS15で、真のデータを入手した時に、その仮想データを真のデータに代替えて真の1チップを作成し、密度チェックを行う事ができるようになる(ステップS16)。

【0037】このように、詳細にチェックを行う事により、全マクロブロックが揃う前に全マクロブロックを配置したレイアウトの密度チェックが可能となり、早期にレイアウト修正を行うことができることを示しており、これにより第5の問題点を解決することができる。

【0038】

【発明の効果】以上説明したように、本発明によれば、LSI構成前のマクロブロックが密度基準領域に対して十分な領域を持たない時にもマクロブロック単体として密度チェックを行う事ができ、LSIを構成する密度チェックを行う事ができ、さらに隣接するマクロブロックのデータ率を考慮したチェックを行う事ができ、LSIを構成するまでマクロブロック間の密度チェックを行う事ができ、密度基準違反が発生する事がなくなるという効果がある。

【0039】さらに、仮想データのデータ率を必要に応じて変更しながら、仮想レイアウトの密度チェックを行うので、レイアウト内での密度違反箇所へ配置が必要なデータ率が変わり、密度規準違反箇所の迅速な修正を行う事ができ、また、全マクロブロックが揃う前に全マクロブロックを配置したレイアウトの密度チェックが可能となり、早期にレイアウト修正を行うことができるという効果もある。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のレイアウト検証方法を説明するフロー図。

【図2】(a)(b)(c)は図1の基本的考え方を説明するレイアウト図。

【図3】図1のレイアウト検証を説明するレイアウトの模式図。

【図4】図1の具体例を説明するレイアウトの模式図。

【図5】本発明の第2の実施形態のレイアウト検証方法のフロー図。

【図6】図5の具体例を説明するレイアウトの模式図。

【図7】本発明の第3の実施形態のレイアウト検証方法のフロー図。

【図8】本発明の第4の実施形態のレイアウト検証方法のフロー図。

【図9】従来例のレイアウト検証方法を説明するフロー図。

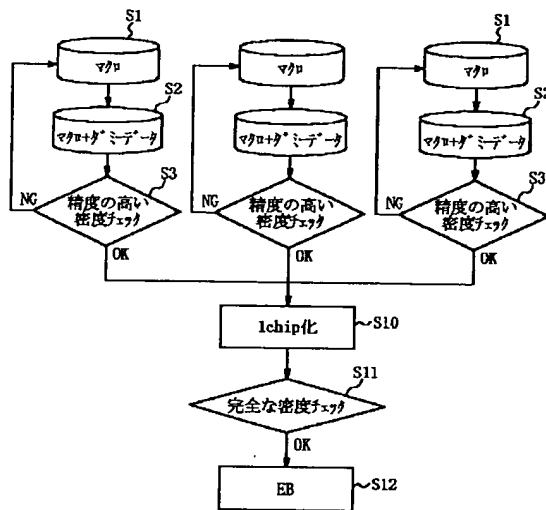
【図10】図9の問題点を説明するレイアウトの模式図。

【図11】図9の他の問題点を説明するレイアウトの模式図。

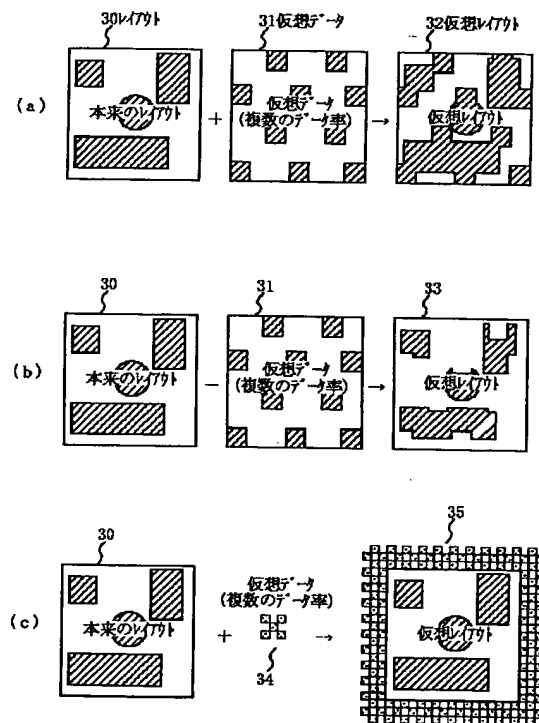
【符号の説明】

10, 10a~10e マクロ
11, 11a~11n 合成マクロ
12, 12a~12n, 14 チェックマクロ
13 付加マクロ
20, 20a~20c 1チップIC
30 レイアウト
31, 34 仮想データ
32, 33, 35 仮想レイアウト
S1~S15 処理ステップ

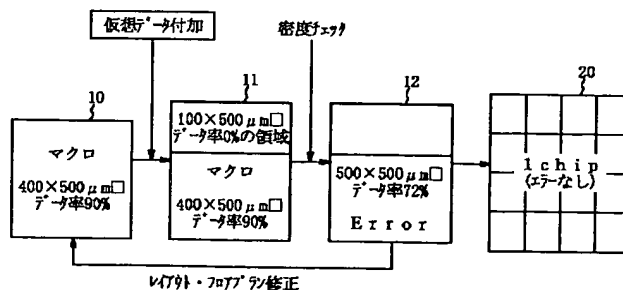
【図1】



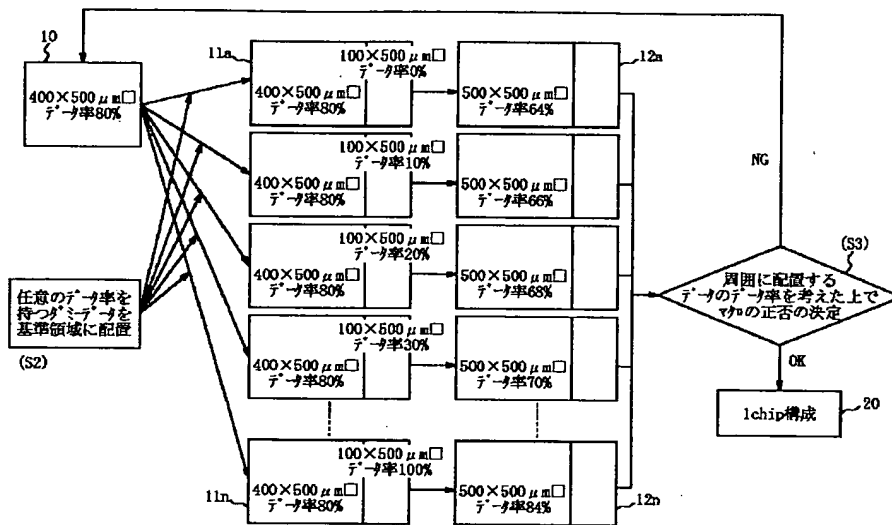
【図2】



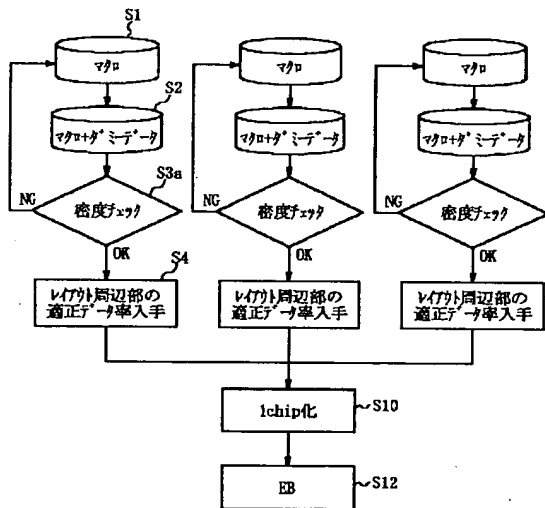
【図3】



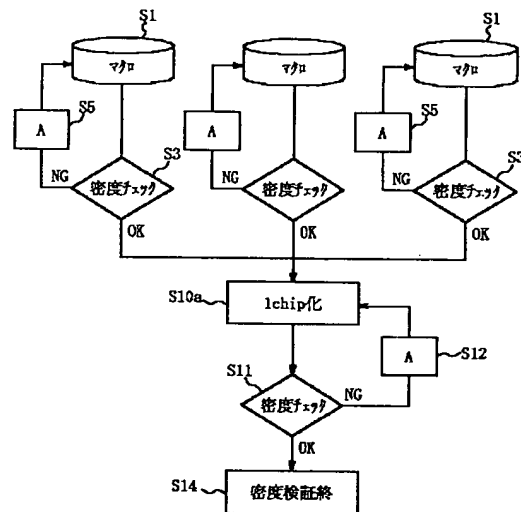
【図4】



【図5】

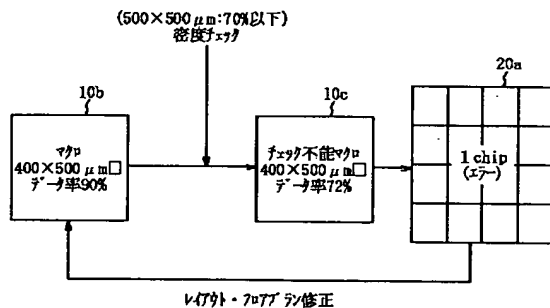


【図7】

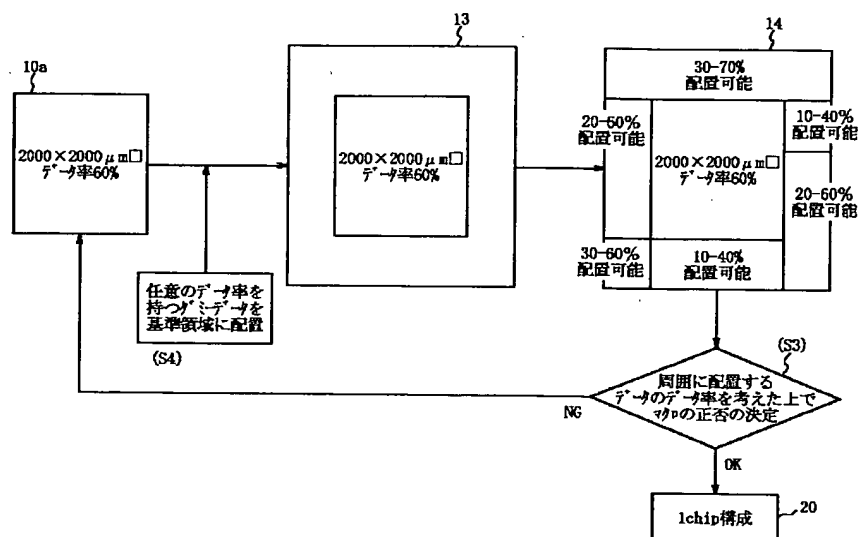


A: 付加すべき、または減らすべき
適正なデータ率を入手する。

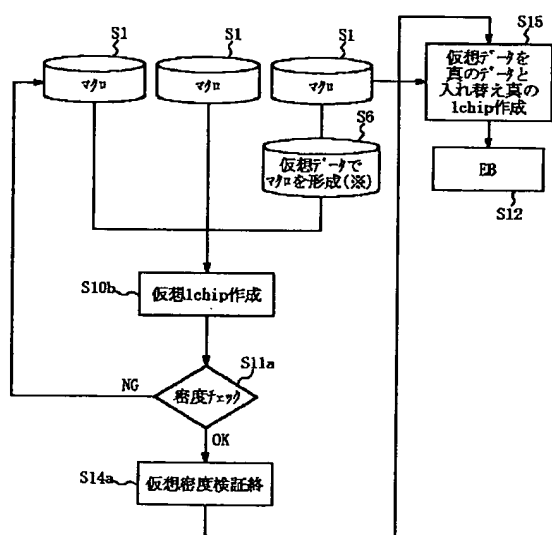
【図10】



【図6】

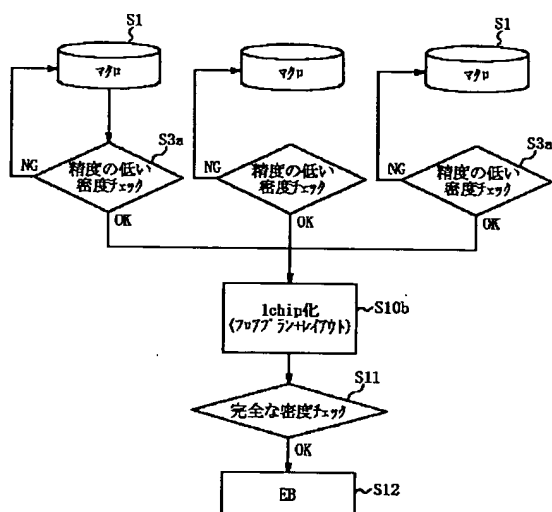


【図8】

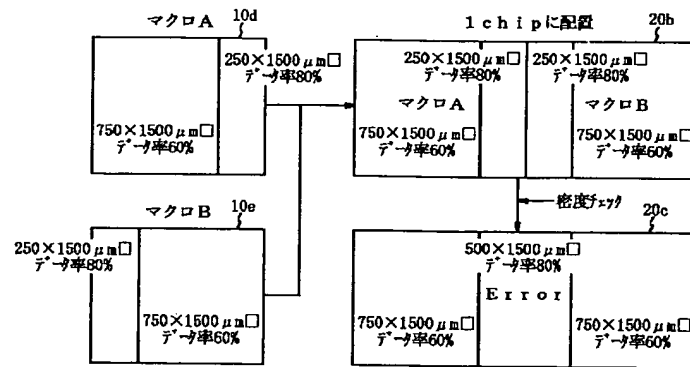


(※)入手が遅れている
ものの代用として仮想
データを発生させる。

【図9】



【図11】



フロントページの続き

Fターム(参考) 5B046 AA08 BA04 JA01
5F038 CA07 CA17 CA18 EZ09 EZ20
5F064 DD13 DD18 DD20 DD26 HH06
HH10